

基于数字延迟线的高分辨率 TDC 系统

丁建国 沈国保 刘松强

(中国科学院上海应用物理研究所 上海 201800)

摘要 介绍了采用数字延迟线集成电路芯片和微控制器结合组成的高性价比的时间数字化测量系统。在单通道工作模式下,系统的分辨率达到 125 ps,动态量程达到 7.2 μ s。该系统被用于浅水环境的机载激光测深系统。

关键词 时间-数字变换 (TDC), 数字延迟线, 微控制器

中图分类号 TM932, TM935.45, TP274+.5

时间-数字变换 (TDC) 的精密时间测量技术在核电子学和激光测距领域中具有广泛的应用。实现时间-数字变换的方法有许多种,如计数器方式、电流积分方式、数字延迟线 (DL) 方式和延迟锁定环 (DLL) 方式等。

采用 CMOS 门延迟的数字化延时技术 (Delay line, DL) [1,2] TDC 的原理如图 1 所示。延迟线中,每两个基本的 CMOS 反向门组成一个延迟单元,每个门具有固定且相同的延时。起始脉冲信号沿延迟线传播,当终止脉冲来到时,经过若干延时单元到

达相应的抽头处的起始脉冲信号被记录入寄存器,由此即可测得时间。

单纯的数字延迟线方法的缺点是门电路延迟时间对环境 (温度和外加电压) 变化很敏感,影响了它的测试精度。但只要能在测量中随时用高精度时间基准对其进行刻度校正,就可以克服精度问题。这种方法原理简单,芯片设计与制作的成本低,适于批量生产。目前 CMOS 门的延时已达到 ≤ 100 ps 的水平,能满足许多高分辨率时间测量的需要。

1 系统结构和工作原理

1.1 系统结构

系统的结构如图 2 所示,其核心为数字延迟线芯片 TDC-GP1 和微控制器 W77E58^[3]。TDC-GP1 芯片具有多种工作模式,在高分辨模式下,可以达到单通道 125 ps 或双通道 250 ps 的分辨率,最高量程为 7.6 μ s。在其它工作模式下,量程最高可以达到 200 ms。

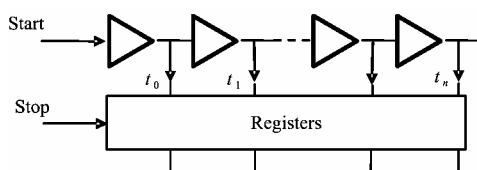


图 1 数字延迟线 TDC 原理

Fig.1 Digital delay line

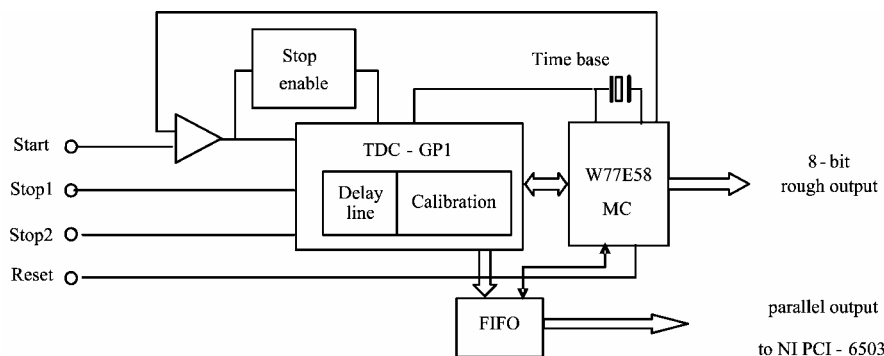


图 2 TDC 系统原理框图

Fig.2 Block diagram of the TDC

国家 863 项目 (2001AA613010) 资助

第一作者: 丁建国, 男, 1964 年出生, 1984 年毕业于北京大学计算机系, 副研究员, 从事加速器控制技术的研究, E-mail: dingjg@ssrc.ac.cn

收稿日期: 2003-09-27, 修回日期: 2004-08-10

1.2 测量方法

本系统设计用于测量 2 路时间间隔信号, 图 3 所示为测量的时间关系, 其中 Start 为共用的起始时间信号, Stop1 和 Stop2 为 2 路停止时间信号, Reset 为复位信号。测量的输出量为各 Stop 通道的脉冲信号 (Hit) 与 Start 信号之间的时间间隔的数字化量。

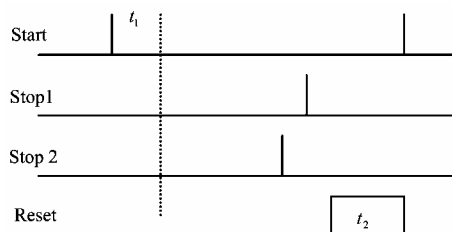


图 3 TDC 测量的时间关系

Fig. 3 Timings of the TDC system

根据具体应用的要求, 系统设计了 2 个时间窗。 t_1 为 stop 屏蔽时间窗, 它用来屏蔽在 Start 开始的最初 $0.5 \mu\text{s}$ 内可能出现的伪 Stop 信号; Stop 屏蔽时间窗信号从 Start 信号引出 t_1 , 其宽度可以通过电位器微调。 t_2 为 Start 屏蔽时间窗, 它用来防止杂散信号在真正的 Start 开始前对 Start 通道的干扰。Start 屏蔽时间窗通过 Reset 信号产生的中断来实现, 其宽度可以通过软件设置精确调整。

为了克服数字延迟线的门电路延迟时间因温度、供电电压的漂移和器件的差异给测量带来的误差, 从微控制器晶体振荡器向 TDC-GP1 提供 17.734475 MHz 的时间基准, 对每次的测量结果进行逐次刻度校准。TDC 对测量所得的时间值以及由时间基准得到的校准值通过运算转换为相应的数字量, 存放在数据寄存器, 随即被微控制器读取并通过 FIFO 存储器输出。

1.3 控制原理

8 位微控制器 W77E58 在系统中的作用为: (1) 控制 TDC-GP1 的工作, 包括系统初始化、启动测量过程和刻度校正; (2) 数据格式转换和数据传输; (3) 通过 Reset 产生中断信号提供 Start 屏蔽时间窗; (4) 提供 8 位的粗测数字输出供面板显示使用。

微控制器通过读写 TDC-GP1 控制/状态寄存器设置测量模式、倍乘因子及刻度方式、时间 (Stop-Start) 值计算方式、设置分频因子以及设置触发模式等。TDC-GP1 共有 8 个 16 位数据寄存器,

可存放 4 个 32 位结果数据, 这些数据可从首个数据寄存器开始按 32 位自动增址方式, 逐个读出。

同步 FIFO 存储器可以缓存 1 KB 的数据, 但根据目前应用要求, FIFO 存储长度被设置为 1, 也即 FIFO 目前仅起着普通的数据缓冲器的作用。

为了使系统具有更好的灵活性, 系统本身不具有计算机总线接口, 测量结果形成的 16 位数字输出通过 PCI 总线接口的并行数字接口模块 NI PCI-6503 接到工业 PC 计算机。PCI-6503 的 A 和 B 寄存器组 (共 16 位) 以异步数据传输方式读取 FIFO 的缓冲输出: 微控制器在向 FIFO 存入数据之后, 在 A、B 为空 (上一数据已被取走) 的情况下, 触发 FIFO 向 PCI-6503 输出数据。

数据输出为 16 位, 表示值的范围为 0—1.999, 其中 bit15 为整数位, bit0 至 bit14 为小数位。用公式表示为:

$$\text{Val} = b_{15} + b_{14} \times 2^{-1} + b_{13} \times 2^{-2} + \dots + b_0 \times 2^{-15} \\ = 16 \text{ 位无符号整数值} / 32768$$

测得时间间隔为:

$$T = \text{Val} \times T_{\text{cal}}$$

其中 T_{cal} 为刻度基准值, $T_{\text{cal}} = \text{Clock Divider} \times T_{\text{ref}} = 64 / 17.734475 = 3.6088 \mu\text{s}$ 。

2 测试结果

采用 SRS 公司 DG535 数字式延迟脉冲发生器为时间间隔信号源, 并将 TDC 模块与 PC/Windows 计算机平台接口, 分别测试了系统的测量精度 (标准偏差 σ) 和时间分辨率等基本参数。表 1 列出了系统达到的主要性能指标。

3 结束语

计数器曾经是广泛使用的时间数字变换方式, 它的方法原理简单, 测量动态范围宽, 但是受振荡器频率的限制, 分辨率难以超过 0.5 ns ; 延迟锁定环 (DLL) 方式是目前最先进的数字变换方式之一, 但是它的设计开销大成本高, 价格昂贵。相比之下, 采用本文介绍的数字延迟线 (DL) 方式设计的系统, 不仅能有很高的分辨率, 只要随时采取实时刻度校正, 同样可以达到很高标准的测量精度。由于采用批量生产的大规模集成电路, 使该系统具有很高的性能价格比, 已被用于浅水环境的机载激光测深系统。

表 1 TDC 系统的性能指标

Table 1 Performance of the TDC system

量程	Range / μs	0.5—7.2
量程下限调整范围(t_1)	Min. time interval/ μs	0.5—0.7
最高测量重复频率	Max. frequency /kHz	≥ 1
分辨率	Resolution/ ps	<125 (one channel mode); < 250 (two channel mode)
标准偏差 σ	Standard deviation/ ns	≤ 0.2 (when input is 2/3 of the full range)
每通道 Hit 数	Hits per channel	1 (set by software)
双脉冲分辨率	Double pulse resolution/ ns	~ 15

参考文献

1 Acam Mess-electronic Inc. TDC-GP1 Functional description, 2001, www.acam.de/documents/english/db_gp1_e.pdf

2 沈国保, 丁建国, 刘松强. 核电子学与探测技术, 2004, 24(6): 591—593

3 SHEN Guobao, DING Jianguo, LIU Songqiang. Nucl Elec Det Tech, 2004, 24(6):591—593

4 Winbond Electronics Corp. W77E58 8-bit Micro controller, 2001, www.winbond.com/PDF/sheet/w77e58.pdf

A high-resolution time-to-digital converter system based on digital delay line

DING Jianguo SHEN Guobao LIU Songqiang

(Shanghai Institute of Applied Physics, the Chinese Academy of Sciences, Shanghai 201800)

Abstract This paper describes a high-resolution and cost-effective TDC (Time-to-digital converter) system, which mainly consists of a micro-controller and a general-purpose TDC chip based on the delay line technique. The system, in high-resolution mode, reaches a resolution of 125 ps with one channel and a dynamic range of 7.2 μs . The system has been used in an airborne laser depth sounding system in a shallow-water environment.

Key words Time-to-digital converter (TDC), Digital delay line, Micro-controller
CLC TM932, TM935.45, TP274⁺.5